



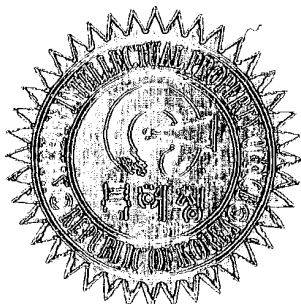
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0056622
Application Number PATENT-2002-0056622

출원년월일 : 2002년 09월 17일
Date of Application SEP 17, 2002

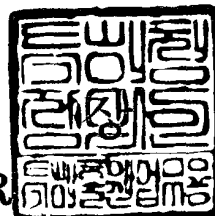
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 10 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0026
【제출일자】	2002.09.17
【국제특허분류】	G11C
【발명의 명칭】	전류감지 회로용 능동 부하 회로를 구비하는 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device having active load circuit for current sense amplifier
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	채무성
【성명의 영문표기】	CHAE, Moo Sung
【주민등록번호】	750608-1117111
【우편번호】	135-101
【주소】	서울특별시 강남구 청담1동 134-16 신동아 아파트 807호
【국적】	KR
【발명자】	
【성명의 국문표기】	김명오
【성명의 영문표기】	KIM, Myeong O
【주민등록번호】	720902-1056610

【우편번호】	150-051
【주소】	서울특별시 영등포구 신길1동 148 해주빌라 A동 4호
【국적】	KR
【발명자】	
【성명의 국문표기】	서성민
【성명의 영문표기】	SEO,Sung Min
【주민등록번호】	730718-1106314
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 7-1 상록수동 708
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	16 항 621,000 원
【합계】	657,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

전류감지 회로용 능동 부하 회로를 구비하는 반도체 메모리 장치가 개시된다. 본 발명의 반도체 메모리 장치는 메모리셀 어레이, 비트라인 센스앰프, 데이터 라인쌍, 전류감지 증폭기 및 능동 부하 회로를 구비한다. 비트라인 센스앰프는 메모리셀 어레이로부터 비트라인쌍으로 출력되는 데이터를 감지 증폭한다. 데이터 라인쌍은 비트라인 센스앰프에 의해 감지 증폭된 데이터를 전송하는 전송선이다. 전류감지 증폭기는 데이터 라인쌍에 연결되어 비트라인 센스앰프로부터 출력되는 데이터를 감지 증폭한다. 그리고, 능동 부하 회로는 데이터 라인쌍에 연결되어 전류감지 증폭기의 동작점을 설정하는 역할을 하는데, 데이터 라인에 전기적으로 연결되고, 데이터 라인의 전압에 응답하여 흐르는 전류량이 제어되는 제1 부하 소자 및 상보 데이터 라인에 전기적으로 연결되고, 상보 데이터 라인의 전압에 응답하여 흐르는 전류량이 제어되는 제2 부하 소자를 구비한다. 제1 부하 소자는 데이터 라인의 전압이 낮아지면 턴온 저항이 증가하며, 제2 부하 소자는 상보 데이터 라인의 전압이 낮아지면 턴온 저항이 증가한다. 본 발명의 능동 부하 회로에 의하면 미소 전류 신호를 데이터 라인쌍을 통해 손실없이 안정적으로 전류 감지 증폭기까지 전송할 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

전류감지 회로용 능동 부하 회로를 구비하는 반도체 메모리 장치{Semiconductor memory device having active load circuit for current sense amplifier}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 따른 수동 소자를 부하로 사용하는 전류 감지 방식을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 능동 부하 회로를 구비하는 반도체 메모리 장치를 나타내는 도면이다.

도 3은 본 발명의 다른 일 실시예에 따른 능동 부하 회로를 나타내는 회로도이다.

도 4는 종래 기술에 따른 수동 부하를 사용한 경우와 본 발명의 능동 부하 회로를 사용한 경우에 전류 감지 증폭기에서 감지된 전류 신호를 나타내는 파형도이다.

도 5는 도 4에 도시된 (a)와 (b) 경우에 대하여 각각 전류 신호의 레벨차를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 회로에 관한 것으로서, 특히, 미소 전류 신호(small current signal)를 감지하는 전류 감지회로의 동작점을 설정하는 부하에 관한 것이다.
- <8> 일반적으로, 동적 랜덤 액세스 메모리 장치(Dynamic Random Access Memory, 이하 DRAM이라 함)에서는 비트라인 센스 앰프(Bit line sense amplifier)에 의해 감지된 정보를 외부로 읽어내기 위하여 전류 감지 증폭기(current sense amplifier)를 사용한다.
- <9> 전류 감지 증폭기는 감지 속도가 전압 감지 증폭기보다 빠르기 때문에 많이 사용된다. 전류 감지 증폭기는 전송선을 통해 입력되는 전류 신호를 감지하고, 전압 신호로 증폭하여 출력한다. 이러한 전류 감지 증폭기는 전류 신호를 효율적으로 받아들여야 전송선에 실려있는 데이터를 안정적으로 감지할 수 있다.
- <10> 종래에는, 전류 감지 회로의 동작점(operating point)을 수동 소자를 사용하여 설정하게 된다. 그러나, 수동 소자를 사용하게 되면 수동 소자의 유한한 입력 저항값으로 인하여 전류 신호의 손실이 일어나게 되며 이로 인하여 안정적인 데이터의 감지가 어렵게 된다.
- <11> 이러한 손실을 최소화하기 위하여서는 수동 소자의 저항값을 늘려주어야 한다. 그러나 수동 소자의 입력 저항을 크게 하여 주면 이로 인하여 데이터 전달이 느려지게 되는 단점이 있다. 이러한 문제는 전송선의 길이가 길어지면 길어질수록, 또, 전류 감지 회로와 부하 저항이 멀어질수록 더욱 심각하게 나타난다. 이에 대한 대안으로서 이상적

인 전류원을 사용하여 전류 감지 회로의 동작점을 설정할 수 있으나 이는 회로의 크기가 너무 커지고 또한 제어하기가 불편하다는 단점이 있다.

<12> 도 1은 종래 기술에 따른 수동 소자를 부하로 사용하는 전류 감지 방식을 나타내는 도면이다.

<13> 종래 기술에 따른 수동 부하(130)는 데이터 라인쌍(GIO, GIOB)에 접속된다. 데이터 라인쌍(GIO, GIOB)은 비트라인 센스앰프(bit line sense amplifier)(110)에 의해 감지 증폭된 데이터를 전류감지 증폭기(140)로 전송하기 위한 전송선이다.

<14> 칼럼 선택 라인(CSL)에 의해 전송 게이트(120)가 턴온되면, 비트라인 센스앰프(110)에 의해 감지된 데이터가 데이터 라인쌍(GIO, GIOB)에 실리게 된다. 이로 인해, 데이터 라인쌍(GIO, GIOB)에 미소한 전류 신호의 변화가 생긴다.

<15> 전류감지 증폭기(140)는 유입되는 전류 신호(I1, I2)의 변화를 감지 증폭하여 출력 전압(DO, DOB)으로서 출력한다.

<16> 종래 기술에 따른 수동 부하(130)는 제1 피모스 트랜지스터(P1) 및 제2 피모스 트랜지스터(P2)로 구성된다. 제1 피모스 트랜지스터(P1)는 전원 전압(VCC)과 데이터 라인(GIO) 사이에, 제2 피모스 트랜지스터(P2)는 전원 전압(VCC)과 상보 데이터 라인(GIOB)에 배치된다. 제1 및 제2 피모스 트랜지스터(P1, P2)는 소정의 상보 인에이블 신호(ONB)에 의하여 턴온/턴오프된다. 따라서, 제1 및 제2 피모스 트랜지스터(P1,P2)는 인에이블 신호(ON)가 활성화될 때, 즉 상보 인에이블 신호(ONB)가 로직로우일 때 턴온된다. 그 때의 상보 인에이블 신호(ONB)의 전압 레벨이 일정하므로, 제1 및 제2 피모스 트랜지스터

(P1,P2)의 턴온 저항도 일정하다. 따라서, 제1 및 제2 트랜지스터(P1,P2)는 일정한 저항 값을 가지는 수동 저항처럼 작용한다.

<17> 비트라인 센스앰프(110)에 의해 감지된 데이터가 '0'인 경우, 전송 게이트(120)가 턴온되면 데이터 라인(GI0)의 전압은 낮아진다. 그리고, 데이터 라인(GI0)의 전류 신호에 미세한 변화가 발생한다. 아울러, 데이터 라인(GI0)의 전압이 낮아짐에 따라, 제1 피모스 트랜지스터(P1)의 양단에 걸리는 전압이 커지므로, 제1 피모스 트랜지스터(P1)를 통해 전원 전압(VCC)으로부터 데이터 라인(GI0)으로 흐르는 전류는 증가한다. 따라서, 전류 감지 증폭기(140)로 유입되는 전류 신호(I1)의 변화량은 줄어든다. 즉, 전류 감지 증폭기(140)로 들어가는 전류 신호(I1, I2)의 손실이 발생된다. 전류 신호의 손실이 발생하면, 전류 감지 증폭기(140)가 데이터를 안정적으로 감지할 수 없게 된다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서 본 발명이 이루고자 하는 기술적 과제는 데이터 라인쌍을 통해 안정적으로 전류 신호를 전류 감지 증폭기까지 전송할 수 있는 능동 부하 회로를 구비하는 반도체 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<19> 상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 반도체 메모리 장치는 비트라인에 연결되어 메모리셀의 데이터를 감지 증폭하는 비트라인 센스앰프; 상기 비트라인 센스앰프의 출력 데이터를 전송하기 위한 데이터 라인쌍; 상기 데이터 라인쌍의 데이터를 감지 증폭하는 전류감지 증폭기; 및 상기 데이터 라인쌍 중

의 하나인 데이터 라인에 전기적으로 연결되고 상기 데이터 라인의 전압에 응답하여 흐르는 전류량이 제어되는 제1 부하 소자와 상기 데이터 라인쌍 중의 다른 하나인 상보 데이터 라인에 전기적으로 연결되고 상기 상보 데이터 라인의 전압에 응답하여 흐르는 전류량이 제어되는 제2 부하 소자를 포함하는 능동 부하 회로를 구비한다.

<20> 바람직하기로는, 상기 제1 부하 소자는 상기 데이터 라인의 전압이 낮아지면 턴온 저항이 증가하며, 상기 제2 부하 소자는 상기 상보 데이터 라인의 전압이 낮아지면 턴온 저항이 증가한다.

<21> 또한 바람직하기로는, 상기 능동 부하 회로는 상기 데이터 라인의 전압에 응답하여 상기 제1 부하 소자를 제어하기 위한 제1 제어 신호를 발생하는 제1 제어 트랜지스터; 및 상기 상보 데이터 라인의 전압에 응답하여 상기 제2 부하 소자를 제어하기 위한 제2 제어 신호를 발생하는 제2 제어 트랜지스터를 더 구비한다.

<22> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 반도체 메모리 장치는 다수의 메모리셀들이 배치되는 메모리셀 어레이; 상기 메모리셀 어레이로부터 비트 라인쌍으로 출력되는 데이터를 감지 증폭하는 비트라인 센스앰프; 상기 비트라인 센스앰프에 의해 감지 증폭된 데이터를 전송하기 위한 데이터 라인쌍; 상기 데이터 라인쌍에 연결되어 상기 비트라인 센스앰프로부터 출력되는 데이터를 감지 증폭하는 전류감지 증폭기; 및 상기 데이터 라인쌍에 연결되어 상기 전류감지 증폭기의 동작점을 설정하는 능동 부하 회로를 구비하며, 상기 능동 부하 회로는 상기 데이터 라인쌍 중의 하나인 데이터 라인에 전기적으로 연결되고, 상기 데이터

라인의 전압에 응답하는 제1 제어 신호에 의해 전류량이 제어되는 제1 부하 소자; 및 상기 데이터 라인쌍 중의 다른 하나인 상보 데이터 라인에 전기적으로 연결되고, 상기 상보 데이터 라인의 전압에 응답하는 제2 제어 신호에 의해 전류량이 제어되는 제2 부하 소자를 구비한다.

<23> 바람직하기로는, 상기 제1 부하 소자는 상기 데이터 라인의 전압이 낮아지면 턴온 저항이 증가하며, 상기 제2 부하 소자는 상기 상보 데이터 라인의 전압이 낮아지면 턴온 저항이 증가한다.

<24> 또한 바람직하기로는, 상기 능동 부하 회로는 상기 데이터 라인의 전압에 응답하여 상기 제1 부하 소자를 제어하기 위한 상기 제1 제어 신호를 발생하는 제1 제어 트랜지스터; 및 상기 상보 데이터 라인의 전압에 응답하여 상기 제2 부하 소자를 제어하기 위한 상기 제2 제어 신호를 발생하는 제2 제어 트랜지스터를 더 구비한다.

<25> 또한 바람직하기로는, 전류 감지 증폭기는 유입되는 전류 신호를 감지 증폭하여 전압 신호로 출력한다.

<26> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<27> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<28> 도 2는 본 발명의 일 실시예에 따른 능동 부하 회로를 구비하는 반도체 메모리 장치(200)를 나타내는 도면이다. 이를 참조하면, 반도체 메모리 장치(200)는 메모리셀 어

레이(210), 비트라인 센스앰프(bit line sense amplifier)(220), 데이터 라인쌍(GIO, GIOB), 능동 부하 회로(230) 및 전류 감지 증폭기(240)를 구비한다.

<29> 메모리셀 어레이(210)는 로우와 칼럼의 매트릭스 형태로 배열되는 복수의 메모리셀을 포함한다.

<30> 비트라인 센스앰프(220)는 메모리셀 어레이(210)로부터 비트라인쌍(BL, BLB)을 통해 출력되는 데이터를 감지 증폭한다. 비트라인 센스앰프(220)에 의해 감지 증폭된 데이터는 전송 게이트(TG1, TG2)를 통하여 데이터 라인쌍(GIO, GIOB)으로 전달된다. 전송 게이트(TG1, TG2)는 칼럼 선택 라인(CSL)에 응답하여 턴온/턴오프된다.

<31> 데이터 라인쌍(GIO, GIOB)은 비트라인 센스앰프(220)에 의해 감지 증폭된 데이터를 전송하기 위한 전송선이다.

<32> 전류 감지 증폭기(240)는 데이터 라인쌍(GIO, GIOB)에 연결되어 비트라인 센스앰프로(220)부터 출력되는 데이터를 감지 증폭한다.

<33> 그리고, 능동 부하 회로(230)는 데이터 라인쌍(GIO, GIOB)에 연결되어 전류감지 증폭기(240)의 동작점을 설정하는 역할을 한다.

<34> 능동 부하 회로(230)의 구성을 상세히 살펴보면, 능동 부하 회로(230)는 제1 부하 소자(PL1), 제2 부하 소자(PL2), 제1 및 제2 제어 트랜지스터(ML1, ML2), 제1 및 제2 다이오드(PL3, PL4), 그리고 동작 제어 트랜지스터(ML3)를 포함한다.

<35> 제1 부하 소자(PL1)는 데이터 라인(GIO)에 전기적으로 연결되고, 데이터 라인(GIO)의 전압에 응답하여 흐르는 전류량이 제어된다. 제2 부하 소자(PL2)는 상보 데이터 라인

(GIOB)에 전기적으로 연결되고, 상보 데이터 라인(GIOB)의 전압에 응답하여 흐르는 전류량이 제어된다.

<36> 구체적으로, 제1 부하 소자(PL1)는 그 소오스(source)는 전원 전압(VCC)에, 그 드레인(drain)은 데이터 라인(GIO)에 접속되고, 그 게이트(gate)로는 제1 제어 신호(CV1)를 수신하는 피모스(PMOS) 트랜지스터이고, 제2 부하 소자(PL2)는 그 소오스는 전원 전압(VCC)에, 그 드레인은 상보 데이터 라인(GIOB)에 접속되고 그 게이트로는 제2 제어 신호(CV2)를 수신하는 피모스 트랜지스터이다.

<37> 제1 제어 트랜지스터(ML1)는 데이터 라인(GIO)의 전압에 응답하여 제1 부하 소자(PL1)를 제어하기 위한 제1 제어 신호(CV1)를 발생한다. 제2 제어 트랜지스터(ML2)는 상보 데이터 라인(GIOB)의 전압에 응답하여 제2 부하 소자(PL2)를 제어하기 위한 제2 제어 신호(CV2)를 발생한다.

<38> 구체적으로, 제1 제어 트랜지스터(ML1)는 그 게이트는 데이터 라인(GIO)에, 그 드레인은 제1 부하 소자(PL1)의 게이트 노드(N1)에, 그 소오스는 공통 노드(N3)에 접속되는 엔모스(NMOS) 트랜지스터이고, 제2 제어 트랜지스터(ML2)는 그 게이트는 상보 데이터 라인(GIOB)에, 그 드레인은 제2 부하 소자(PL2)의 게이트 노드(N2)에, 그 소오스는 공통 노드(N3)에 접속되는 엔모스 트랜지스터이다.

<39> 데이터 라인(GIO)의 전압이 낮아지면, 제1 제어 신호(CV1)의 전압 레벨이 증가한다. 이에 따라 제1 부하 소자(PL1)의 턴온 저항(turn-on resistance)이 증가하여 제1 부하 소자(PL1)를 통해 흐르는 전류가 줄어든다. 종래 기술에 따른 수동 부하(도 1의 130)에 의해서는 데이터 라인(GIO)의 전압이 낮아지면, 흐르는 전류가 증가하는 현상과 대조된다. 반면, 상보 데이터 라인(GIOB)의 전압이 낮아지면, 제2 제어 신호(CV2)의

전압 레벨이 증가한다. 이에 따라 제2 부하 소자(PL2)의 턴온 저항이 증가하여 제2 부하 소자(PL2)를 통해 흐르는 전류가 줄어든다.

<40> 제1 다이오드(PL3)는 상보 데이터 라인(GIOB)과 제1 제어 트랜지스터(ML1) 사이에 배치되어, 제1 제어 신호(CV1)의 전압이 상보 데이터 라인(GIOB)의 전압에서 제1 다이오드(PL3)의 문턱 전압(threshold voltage)을 뺀 전압이 되게 한다. 제2 다이오드(PL4)는 데이터 라인(GIO)과 제2 제어 트랜지스터(ML2) 사이에 배치되어, 제2 제어 신호(CV2)의 전압이 데이터 라인(GIO)의 전압에서 제2 다이오드(PL4)의 문턱 전압을 뺀 전압이 되게 한다.

<41> 데이터 라인쌍(GIO, GIOB)의 전압은 전원 전압(VCC)에 가깝다. 따라서, 제1 및 제2 다이오드(PL3, PL4)는 제1 및 제2 제어 신호(CV2)의 각 전압을 '전원 전압(VCC)-문턱전압' 이하로 되게 하여 제1 및 제2 부하 소자(PL2)가 턴온 상태를 유지하도록 한다.

<42> 구체적으로, 제1 다이오드(PL3)는 그 소오스는 상보 데이터 라인(GIOB)에, 그 게이트와 드레인은 제1 부하 소자(PL1)의 게이트 노드(N1)에 공통으로 접속되는 피모스 트랜지스터이고, 제2 다이오드(PL4)는 그 소오스는 데이터 라인(GIO)에, 그 게이트와 드레인은 제2 부하 소자(PL2)의 게이트 노드(N2)에 공통으로 접속되는 피모스 트랜지스터이다.

<43> 동작 제어 트랜지스터(ML3)는 인에이블 신호(ON)에 응답하여 능동 부하 회로(230)의 전체 동작을 온/오프하는 역할을 한다. 인에이블 신호(ON)가 활성화되면, 이에 응답하여 동작 제어 트랜지스터(ML3)가 턴온되고, 동작 제어 트랜지스터(ML3)가 턴온되어야 능동 부하 회로(230)가 동작한다.

- <44> 구체적으로 동작 제어 트랜지스터(ML3)는 그 드레인은 공통 노드(N3)에, 그 소오스는 접지 전압(VSS)에 접속되고, 그 게이트로는 인에이블 신호(ON)를 수신하는 엔모스 트랜지스터이다.
- <45> 전류 감지 증폭기(240)는 데이터 라인쌍(GIO, GIOB)에 연결되어 비트라인 센스앰프(220)로부터 출력되는 데이터를 감지 증폭한다.
- <46> 구체적인 구성을 살펴보면, 전류 감지 증폭기(240)는 제1 및 제2 센싱 트랜지스터(PA1, PA2), 로드 저항의 역할을 하는 로드 트랜지스터들(MA1, MA2)과 스위칭 트랜지스터(MA3)를 포함한다.
- <47> 여기서는, 제1 및 제2 센싱 트랜지스터(PA1, PA2)는 피모스 트랜지스터로 구현되고, 로드 트랜지스터들(MA1, MA2)과 스위칭 트랜지스터(MA3)는 엔모스 트랜지스터로 구현된다.
- <48> 래치 구조의 제1 및 제2 센싱 트랜지스터들(PA1, PA2)의 드레인과 게이트는 서로 교차 연결(cross coupled)되어 있고, 각각의 드레인은 출력 단자(N4)와 반전 출력 단자(N5)에 연결되어 있다. 출력 단자(N4)에서 출력 전압(DO)이, 반전 출력 단자(N5)에서 반전 출력 전압(DOB)이 출력된다.
- <49> 로드 트랜지스터들(MA1, MA2)은 각각 드레인과 게이트가 연결되어, 다이오드 형의 트랜지스터들로 구현되며, 상호 동일한 저항값을 갖는다.
- <50> 스위칭 트랜지스터(MA3)는 인에이블 신호(ON)에 의해 턴온/턴오프된다. 즉, 스위칭 트랜지스터(MA3)는 인에이블 신호(ON)가 활성화되면, 이에 응답하여 턴온되고, 스위칭 트랜지스터(MA3)가 턴온되어야 전류 감지 증폭기(240)가 동작한다.

<51> 전류 감지 증폭기(240)는 데이터 라인쌍(GIO, GIOB)으로부터 유입되는 전류 신호(I1, I2)의 레벨 차를 감지하여 증폭한다. 데이터 라인(GIO)에 실린 데이터가 '0'이어서 데이터 라인(GIO)의 전압이 상보 데이터 라인(GIOB)의 전압보다 낮아지면, 제1 센싱 트랜지스터(PA1)로 흐르는 전류 신호(I1)가 감소한다. 따라서, I1과 I2간에 레벨 차가 발생한다. 로드 트랜지스터들(MA1, MA2)은 동일한 저항값을 가지므로, 로드 트랜지스터들(MA1, MA2) 각각에 걸리는 전압에서도 차이가 생긴다. 즉, 출력 노드(DO)의 전압이 반전 출력 노드(DOB)의 전압에 비하여 상대적으로 낮아진다. 출력 노드(DO)와 반전 출력 노드(DOB)는 제1 및 제2 센싱 트랜지스터(PA1, PA2)와 교차 연결되어 있으므로, 출력 노드(DO)와 반전 출력 노드(DOB)간의 전압차는 제1 및 제2 센싱 트랜지스터(PA1, PA2)에 의하여 더욱 증폭된다.

<52> 따라서, 비트라인 센스앰프(220)로부터 출력되는 데이터에 따른 데이터 라인쌍(GIO, GIOB)의 전류 변화가 손실없이 전류감지 증폭기(240)로 전달되어야 전류 감지 증폭기(240)가 데이터를 제대로 감지 증폭할 수 있다. 데이터 라인쌍(GIO, GIOB)의 전류 변화가 전류감지 증폭기(240)로 전달되는데 있어서 손실이 발생하면, 전류 감지 증폭기(240)가 전류 신호를 제대로 감지할 수 없고, 따라서 감지되는 데이터의 신뢰성이 떨어진다.

<53> 본 발명의 일 실시예에 따른 능동 부하 회로(230)는 데이터 라인쌍(GIO, GIOB)의 전압에 응답하여 저항값이 제어됨으로써, 데이터 라인쌍(GIO, GIOB)에 나타나는 전류 신호의 변화가 손실없이 전류 감지 증폭기(240)에 전송될 수 있게 한다.

<54> 도 2를 참조하여 도 2에 도시된 반도체 메모리 장치의 동작을 살펴보면, 다음과 같다.

- <55> 칼럼 선택 라인(CSL)이 활성화됨에 따라 전송 게이트들(TG1, TG2)이 턴온된다. 이에 따라 비트라인 센스앰프(220)에 의해 감지된 데이터가 데이터 라인쌍(GIO, GIOB)에 실린다. 데이터는 '0'인 것으로 가정한다.
- <56> 데이터가 '0'인 경우 데이터 라인(GIO)의 전압이 낮아지게 되며, 데이터 라인(GIO)의 전압에 의하여 제어되는 제1 제어 트랜지스터(ML1)의 저항값이 증가한다. 따라서, 제1 제어 신호(CV1)의 전압 레벨이 상승하게 되고, 이에 따라 제1 제어 신호(CV1)의 제어를 받는 제1 부하 소자(PL1)의 저항값이 증가하여, 전원 전압(VCC)으로부터 데이터 라인(GIO)으로 흐르는 전류가 감소된다.
- <57> 즉, 데이터 라인(GIO)의 전압이 낮아지면, 전원 전압(VCC)과 데이터 라인(GIO) 사이의 부하 소자, 즉 제1 부하 소자(PL1)의 저항값이 증가됨으로써, 전원 전압(VCC)으로부터 제1 부하 소자(PL1)를 거쳐 데이터 라인(GIO)으로 유입되는 전류량이 감소한다. 따라서, 데이터 라인(GIO)의 전류 신호의 변화가 전류 감지 증폭기(240)에 유입되는 전류 신호(I1)에 손실없이 나타난다.
- <58> 비트라인 센스앰프(220)에 의해 감지된 데이터가 '1'인 경우에도 위의 원리와 동일하게 능동 부하 회로(240)는 전류 신호의 손실을 최대한 억제하게 된다.
- <59> 데이터가 '1'인 경우에는 상보 데이터 라인(GIOB)의 전압이 낮아지게 되며, 상보 데이터 라인(GIOB)의 전압에 의하여 제어되는 제2 제어 트랜지스터(ML2)의 저항값이 증가한다. 따라서, 제2 제어 신호(CV2)의 전압 레벨이 상승하게 되고, 이에 따라 제2 제어 신호(CV2)의 제어를 받는 제2 부하 소자(PL2)의 저항값이 증가하여, 전원 전압(VCC)으로부터 상보 데이터 라인(GIOB)으로 흐르는 전류가 감소된다.

- <60> 즉, 상보 데이터 라인(GIOB)의 전압이 낮아지면, 전원 전압(VCC)과 데이터 라인(GIOB) 사이의 부하 소자, 즉 제2 부하 소자(PL2)의 저항값이 증가됨으로써, 전원 전압(VCC)으로부터 제2 부하 소자(PL2)를 거쳐 상보 데이터 라인(GIOB)으로 유입되는 전류량이 감소한다. 따라서, 상보 데이터 라인(GIOB)의 전류 신호의 변화가 전류 감지 증폭기(240)에 유입되는 전류 신호(I2)에 손실없이 나타난다.
- <61> 상술한 바와 같이, 본 발명의 능동 부하 회로(230)가 사용되는 경우, 비트라인 센스앰프(220)로부터 데이터 라인쌍(GIO, GIOB)에 실리는 미소 전류 신호가 손실없이 전류 감지 증폭기(240)로 전송됨으로써, 전류 감지 증폭기(240)가 데이터를 정확하고 안정되게 감지 증폭할 수 있다.
- <62> 도 3은 본 발명의 다른 일 실시예에 따른 능동 부하 회로(300)를 나타내는 회로도이다.
- <63> 이를 참조하면, 본 발명의 다른 일 실시예에 따른 능동 부하 회로(300)는 프리차이지 수단(310)을 구비하는 회로로서, 도 2에 도시된 본 발명의 일 실시예에 따른 능동 부하 회로(230)의 구성에 프리차이지 수단(310)을 더 구비한다. 따라서, 도 2에 도시된 본 발명의 일 실시예에 따른 능동 부하 회로(230)와 동일한 구성에 대한 상세한 설명은 생략한다.
- <64> 프리차이지 수단(310)은 능동 부하 회로(230)가 오프될 때, 제1 및 제2 제어 신호(CV2)를 소정의 제1 전압 레벨(여기서는 로직 하이레벨)로 프리차이지하는 역할을 한다.

- <65> 프리차아지 수단(310)의 상세한 구성을 살펴보면, 프리차아지 수단(310)은 인에이블 신호(ON)에 응답하여 각각 제1 제어 신호(CV1)와 제2 제어 신호(CV2)를 로직 하이레벨로 프리차아지하는 제1 및 제2 프리차아지 트랜지스터(PL5, PL6)를 포함한다.
- <66> 구체적으로, 제1 프리차아지 트랜지스터(PL5)는 그 소오스는 전원 전압(VCC)에 그 드레인은 제1 부하 소자(PL1)의 게이트 노드(N1)에 접속되고, 그 게이트로는 인에이블 신호(ON)를 수신하는 피모스 트랜지스터이고, 제2 프리차아지 트랜지스터(PL6)는 그 소오스는 전원 전압(VCC)에 그 드레인은 제2 부하 소자(PL2)의 게이트 노드(N2)에 접속되고, 그 게이트로는 인에이블 신호(ON)를 수신하는 피모스 트랜지스터이다.
- <67> 제1 및 제2 프리차아지 트랜지스터(PL5, PL6)는 인에이블 신호(ON)가 로우레벨로 비활성화되면 턴옴으로써, 제1 및 제2 제어 신호(CV2)를 로직 하이레벨이 되게 한다. 따라서, 제1 및 제2 제어 신호(CV2)의 제어를 받는 제1 및 제2 부하 소자(PL1, PL2)가 턴오프된다. 즉, 인에이블 신호(ON)의 비활성화에 응답하여 능동 부하 회로(230)의 전체 동작이 오프될 때는, 제1 및 제2 프리차아지 트랜지스터(PL5, PL6)가 동작하여 제1 및 제2 부하 소자(PL1, PL2)가 턴오프되게 한다.
- <68> 반면, 인에이블 신호(ON)가 하이레벨로 활성화되어 능동 부하 회로(230)가 온되면, 제1 및 제2 프리차아지 트랜지스터(PL5, PL6)는 턴오프되어 동작하지 않는다.
- <69> 도 4는 종래 기술에 따른 수동 부하를 사용한 경우와 본 발명의 능동 부하 회로를 사용한 경우에 전류 감지 증폭기에서 감지된 전류 신호를 나타내는 파형도이다. 즉, 도 4에서 (a)는 도 1에 도시된 종래 기술에 따른 수동 부하를 사용할 때의 전류 감지 증폭기에서의 전류 신호(I1, I2)이고, (b)는 도 2에 도시된 본 발명의 일 실시예에 따른 능동 부하 회로(230)를 사용할 때의 전류 감지 증폭기에서의 전류 신호(I1, I2)이다.

<70> 도 4에서 알 수 있듯이, (a)에 비하여 (b)의 경우 전류 신호의 레벨차(I1-I2)가 더 큼을 알 수 있다.

<71> 도 5는 도 4에 도시된 (a)와 (b) 경우에 대하여 각각 전류 신호의 레벨차(I1-I2)를 나타내는 도면이다. 즉, 도 5에서 (a)는 도 1에 도시된 종래 기술에 따른 수동 부하를 사용할 때의 전류 감지 증폭기에 나타나는 전류 신호의 차(I1-I2)를 나타내고, (b)는 도 2에 도시된 본 발명의 일 실시예에 따른 능동 부하 회로(230)를 사용할 때의 전류 감지 증폭기에 나타나는 전류 신호의 차(I1-I2)를 나타낸다. (a)에 비하여 (b)의 경우에 차(difference) 신호의 진폭이 더 커짐을 볼 수 있다.

<72> 전류 감지 증폭기에 나타나는 전류 신호의 차이가 클수록 전류 감지 증폭기가 데이터를 쉽고 안정되게 감지 증폭할 수 있다. 따라서, 출력되는 데이터의 신뢰성도 높아진다.

<73> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<74> 본 발명의 능동 부하 회로에 의하면 미소 전류 신호를 데이터 라인쌍을 통해 손실 없이 안정적으로 전류 감지 증폭기까지 전송할 수 있다. 따라서, 전류 감지 증폭기는 비트라인 센스앰프에 의해 출력되는 데이터를 안정적으로 감지 증폭할 수 있다. 결국, 반도체 메모리 장치의 출력 데이터의 신뢰성이 증가하는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 메모리 장치에 있어서,

비트라인에 연결되어 메모리 셀의 데이터를 감지 증폭하는 비트라인 센스앰프;

상기 비트라인 센스앰프의 출력 데이터를 전송하기 위한 데이터 라인쌍;

상기 데이터 라인쌍의 데이터를 감지 증폭하는 전류감지 증폭기; 및

상기 데이터 라인쌍 중의 하나인 데이터 라인에 전기적으로 연결되고 상기 데이터 라인의 전압에 응답하여 흐르는 전류량이 제어되는 제1 부하 소자와 상기 데이터 라인쌍 중의 다른 하나인 상보 데이터 라인에 전기적으로 연결되고 상기 상보 데이터 라인의 전압에 응답하여 흐르는 전류량이 제어되는 제2 부하 소자를 포함하는 능동 부하 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서,

상기 제1 부하 소자는 상기 데이터 라인의 전압이 낮아지면 턴온 저항이 증가하며

상기 제2 부하 소자는 상기 상보 데이터 라인의 전압이 낮아지면 턴온 저항이 증가하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 능동 부하 회로는

상기 데이터 라인의 전압에 응답하여 상기 제1 부하 소자를 제어하기 위한 제1 제어 신호를 발생하는 제1 제어 트랜지스터; 및

상기 상보 데이터 라인의 전압에 응답하여 상기 제2 부하 소자를 제어하기 위한 제2 제어 신호를 발생하는 제2 제어 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 능동 부하 회로는

상기 상보 데이터 라인과 상기 제1 제어 트랜지스터 사이에 배치되는 다이오드형 제1 MOS 트랜지스터; 및

상기 데이터 라인과 상기 제2 제어 트랜지스터 사이에 배치되는 다이오드형 제2 MOS 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제3항에 있어서,

상기 제1 부하 소자는 제1 전원과 상기 데이터 라인 사이에 배치되고 상기 제1 제어 신호를 게이트로 수신하는 피모스 트랜지스터로 구현되며,

상기 제2 부하 소자는 상기 제1 전원과 상기 상보 데이터 라인 사이에 배치되고 상기 제2 제어 신호를 게이트로 수신하는 피모스 트랜지스터로 구현되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제3항에 있어서,

상기 제1 제어 트랜지스터는 상기 제1 부하 소자의 게이트 노드와 소정의 공통 노드 사이에 배치되고, 그 게이트는 상기 데이터 라인에 접속되는 엔모스 트랜지스터로 구현되며,

상기 제2 제어 트랜지스터는 상기 제2 부하 소자의 게이트 노드와 상기 공통 노드 사이에 배치되고, 그 게이트는 상기 상보 데이터 라인에 접속되는 엔모스 트랜지스터로 구현되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 능동 부하 회로는

상기 공통 노드와 제2 전원 사이에 배치되고 소정의 인에이블 신호에 응답하여 온(on)/오프(off)되는 동작 제어 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제3항에 있어서, 상기 능동 부하 회로는

소정의 인에이블 신호의 비활성화시에 상기 제1 및 제2 제어 신호를 제1 로직 레벨로 하기 위한 프리차아지 수단을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제8항에 있어서, 상기 프리차아지 수단은

제 1 전압과 상기 제1 부하 소자의 게이트 노드 사이에 배치되고, 상기 인에이블 신호에 응답하여 게이팅되는 제1 프리차아지 트랜지스터; 및

상기 제1 전원과 상기 제2 부하 소자의 게이트 노드 사이에 배치되고, 상기 인에이블 신호에 응답하여 게이팅되는 제2 프리차이지 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

다수의 메모리셀들이 배치되는 메모리셀 어레이;

상기 메모리셀 어레이로부터 비트라인쌍으로 출력되는 데이터를 감지 증폭하는 비트라인 센스앰프;

상기 비트라인 센스앰프에 의해 감지 증폭된 데이터를 전송하기 위한 데이터 라인쌍;

상기 데이터 라인쌍에 연결되어 상기 비트라인 센스앰프로부터 출력되는 데이터를 감지 증폭하는 전류감지 증폭기; 및

상기 데이터 라인쌍에 연결되어 상기 전류감지 증폭기의 동작점을 설정하는 능동 부하 회로를 구비하며,

상기 능동 부하 회로는

상기 데이터 라인쌍 중의 하나인 데이터 라인에 전기적으로 연결되고, 상기 데이터 라인의 전압에 응답하는 제1 제어 신호에 의해 전류량이 제어되는 제1 부하 소자; 및

상기 데이터 라인쌍 중의 다른 하나인 상보 데이터 라인에 전기적으로 연결되고, 상기 상보 데이터 라인의 전압에 응답하는 제2 제어 신호에 의해 전류량이 제어되는 제2 부하 소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제10항에 있어서,

상기 제1 부하 소자는 상기 데이터 라인의 전압이 낮아지면 턴온 저항이 증가하며,

상기 제2 부하 소자는 상기 상보 데이터 라인의 전압이 낮아지면 턴온 저항이 증가하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제10항에 있어서, 상기 능동 부하 회로는

상기 데이터 라인의 전압에 응답하여 상기 제1 부하 소자를 제어하기 위한 상기 제1 제어 신호를 발생하는 제1 제어 트랜지스터; 및

상기 상보 데이터 라인의 전압에 응답하여 상기 제2 부하 소자를 제어하기 위한 상기 제2 제어 신호를 발생하는 제2 제어 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

제12항에 있어서, 상기 능동 부하 회로는

상기 상보 데이터 라인과 상기 제1 제어 트랜지스터 사이에 배치되는 다이오드형 제1 MOS 트랜지스터; 및

상기 데이터 라인과 상기 제2 제어 트랜지스터 사이에 배치되는 다이오드형 제2 MOS 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

제12항에 있어서,

상기 제1 부하 소자는 제1 전원과 상기 데이터 라인 사이에 배치되고 상기 제1 제어 신호를 게이트로 수신하는 피모스 트랜지스터로 구현되며,

상기 제2 부하 소자는 상기 제1 전원과 상기 상보 데이터 라인 사이에 배치되고 상기 제2 제어 신호를 게이트로 수신하는 피모스 트랜지스터로 구현되는 것을 특징으로 하는 전류 감지 증폭기를 위한 능동 부하 회로.

【청구항 15】

제12항에 있어서, 상기 능동 부하 회로는

소정의 인에이블 신호의 비활성화시에 상기 제1 및 제2 제어 신호를 제1 로직 레벨로 하기 위한 프리차아지 수단을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

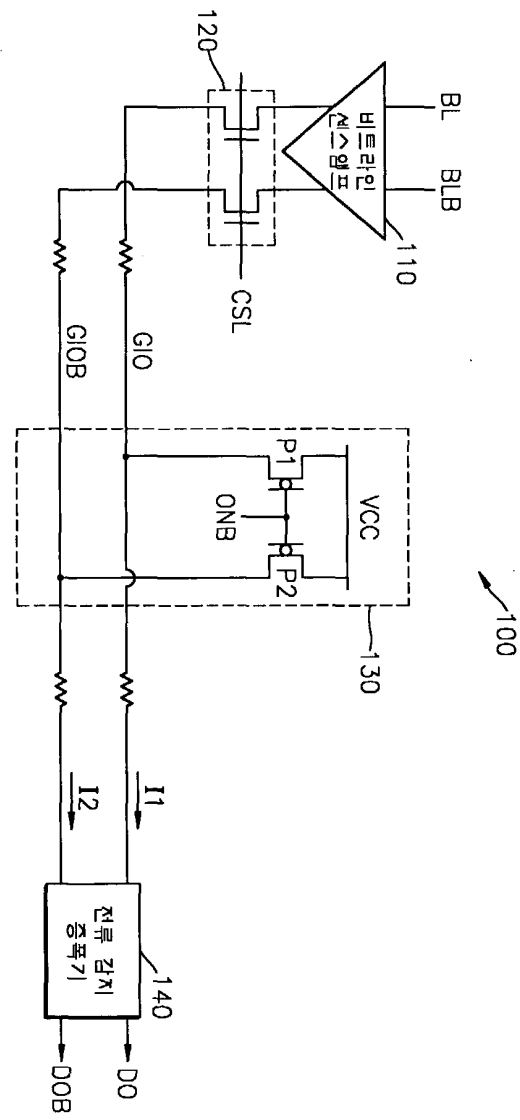
【청구항 16】

제10항에 있어서, 상기 전류 감지 증폭기는

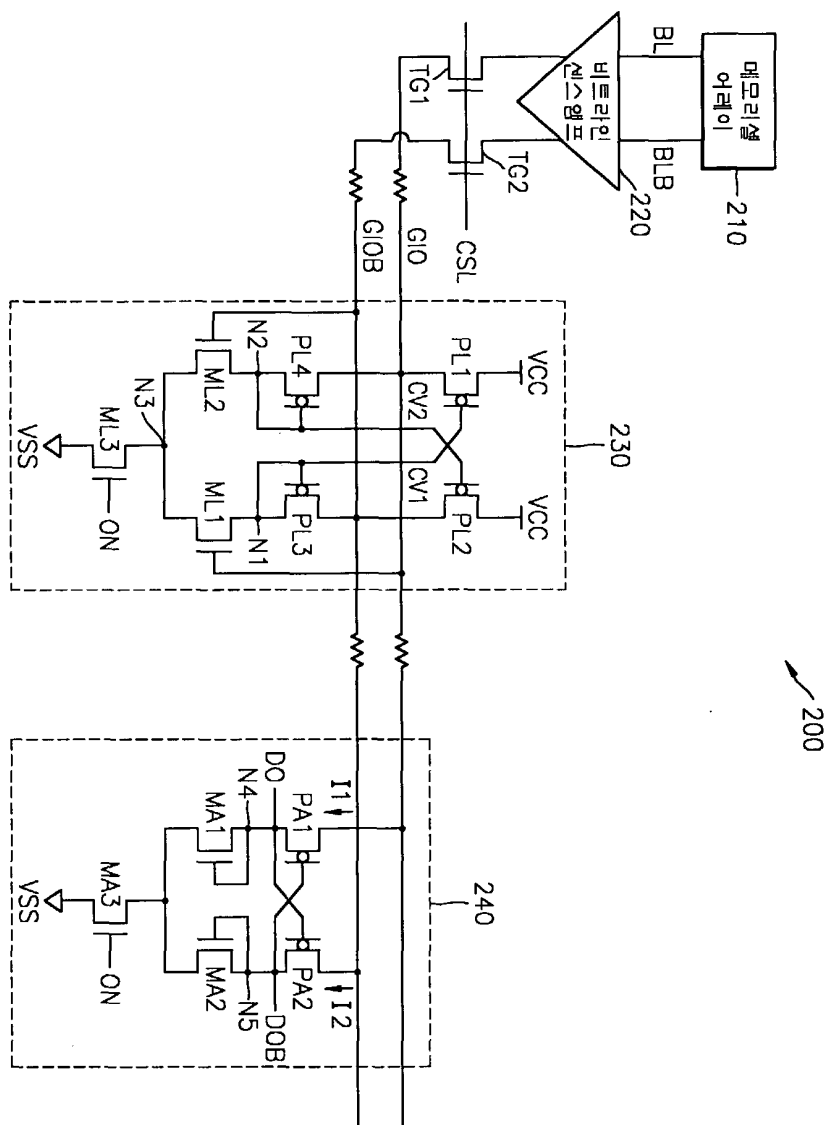
유입되는 전류 신호를 감지 증폭하여 전압 신호로 출력하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

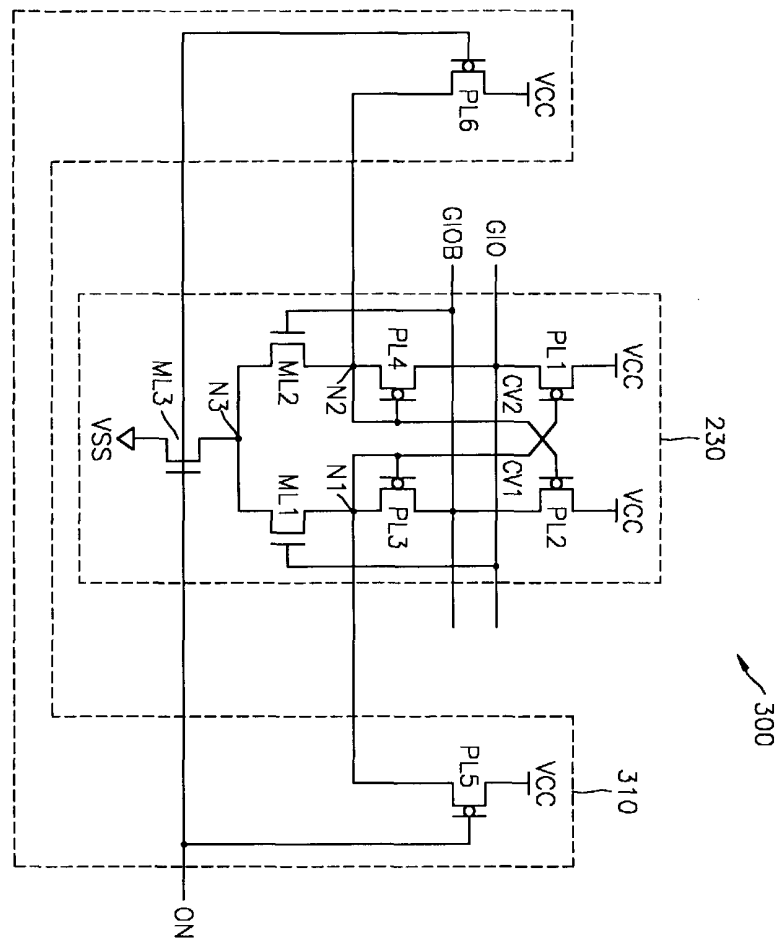
【도 1】



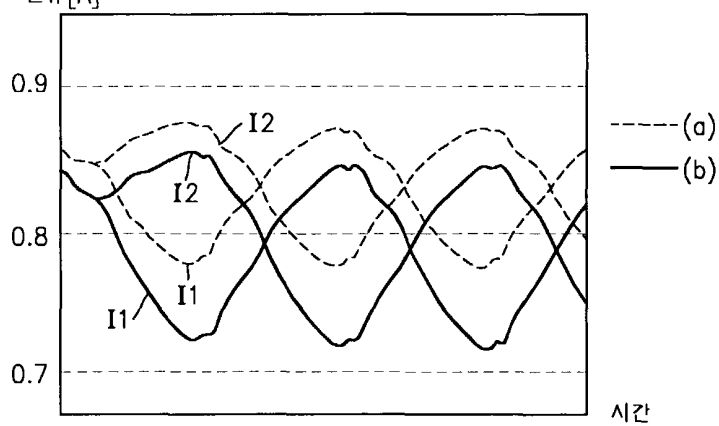
【도 2】



【도 3】



【도 4】
전류[A]



【도 5】

